

Rec'd PCT

07 OCT 2004

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-281636

(43)Date of publication of application : 27.10.1995

(51)Int.Cl.

G09G 3/36  
G02F 1/133

(21)Application number : 06-069639

(71)Applicant : ASAHI GLASS CO LTD

(22)Date of filing : 07.04.1994

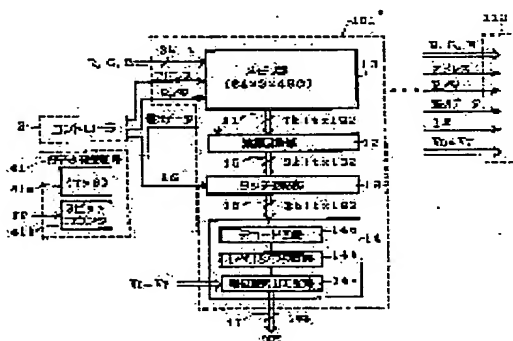
(72)Inventor : MOGI HIROYUKI  
KUWATA TAKESHI  
NAKAGAWA YUTAKA  
NAKAZAWA SATOSHI

(54) DRIVING DEVICE USED FOR LIQUID CRYSTAL DISPLAY DEVICE, SEMICONDUCTOR INTEGRATED CIRCUIT FOR DRIVING COLUMN ELECTRODE AND SEMICONDUCTOR INTEGRATED CIRCUIT FOR DRIVING ROW ELECTRODE

(57)Abstract:

PURPOSE: To miniaturize the device as a whole and to reduce power consumption by providing a semiconductor integrated circuit for driving column electrode with a memory part having a control circuit outputting data and an arithmetic circuit part arithmetically processing a voltage applied to a liquid crystal output circuit part.

CONSTITUTION: A column driver 101 comprises a memory part 10, a signal line 11 for outputting column data to a liquid crystal display panel 20, an arithmetic circuit part 12 inputting selected data from a row data generating circuit 41 and performing a prescribed calculation, a latch circuit 13 inputting the output of the arithmetic circuit 12 through a signal line 15 and latching it and a liquid crystal output circuit part 14 inputting the latch data through a signal line 16 and outputting a voltage complied with the latch data to an output line 17. Data are simultaneously outputted from the memory part 10 every time when one of selected data is given from the row data generating circuit 41. The arithmetic circuit part 12 also performs calculation at the same time. Consequently, the clock frequency is made low and the power consumption is reduced.



## LEGAL STATUS

[Date of request for examination] 22.02.2001

[Date of sending the examiner's decision of rejection] 10.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-281636

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl.<sup>6</sup>

G 0 9 G 3/36

G 0 2 F 1/133

識別記号

庁内整理番号

F I

技術表示箇所

5 4 5

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願平6-69639

(22) 出願日 平成6年(1994)4月7日

(71) 出願人 000000044

旭硝子株式会社

東京都千代田区丸の内2丁目1番2号

(72) 発明者 茂木 宏之

神奈川県横浜市神奈川区羽沢町1150番地

旭硝子株式会社中央研究所内

(72) 発明者 桑田 武志

神奈川県横浜市神奈川区羽沢町1150番地

旭硝子株式会社中央研究所内

(72) 発明者 中川 豊

神奈川県横浜市神奈川区羽沢町1150番地

旭硝子株式会社中央研究所内

(74) 代理人 弁理士 田澤 博昭 (外2名)

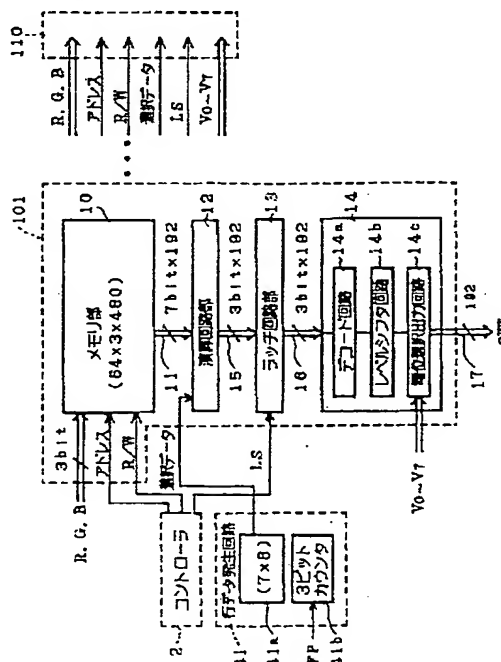
最終頁に続く

(54) 【発明の名称】 液晶表示装置に用いられる駆動装置ならびに列電極駆動用半導体集積回路および行電極駆動用半導体集積回路

(57) 【要約】

【構成】 同時選択される複数ラインにおける各行のデータ毎に表示データのデータ出力を行うメモリ部10と、メモリ部の出力データと選択された行に印加される電圧パターンを示す選択データとを入力して、液晶出力回路部が選択すべき電圧を指定する情報を作成する演算処理を行う演算回路部12とが形成される。

【効果】 この集積回路を用いれば、駆動回路を全体として小型化できる。



## 【特許請求の範囲】

【請求項1】 複数ライン同時選択法によって駆動される液晶表示装置の列電極を駆動する半導体集積回路であって、同時選択ライン数に応じたレベル数の電圧値から、指定された電圧値を選択して各列電極に印加する液晶出力回路部が形成された液晶表示装置に用いられる列電極駆動用半導体集積回路において、

表示データを記憶するとともに、同時選択される複数ラインにおける各行のデータ毎にデータ出力を行う制御回路を有するメモリ部と、

前記メモリ部の出力データと選択された行に印加される電圧パターンを示す選択データとを入力して、前記液晶出力回路部が選択すべき電圧を指定する情報を作成する演算処理を行う演算処理回路を有する演算回路部とを含むことを特徴とする液晶表示装置に用いられる列電極駆動用半導体集積回路。

【請求項2】 メモリ部の制御回路は、2行ないし15行のデータ毎にデータ出力を行い、

演算回路部の演算処理回路は、2ないし15ビットの選択データと前記メモリ部の出力データとを対象に演算処理を行う請求項1記載の列電極駆動用半導体集積回路。

【請求項3】 入力されたデータに $\gamma$ 補正あるいは階調表示処理を行って、処理後のデータをメモリ部に書き込む補正部を含む請求項1または2記載の列電極駆動用半導体集積回路。

【請求項4】 メモリ部は、1ドットについて複数ビットを記憶しうる記憶容量を有し、選択信号に応じていずれかのビットを出力する請求項1または2記載の列電極駆動用半導体集積回路。

【請求項5】 メモリ部の制御回路は、一時に複数列のデータを出力し、

演算回路部は、メモリ部から一時に読み出される列数分の演算処理回路を有する請求項1ないし4記載の列電極駆動用半導体集積回路。

【請求項6】 複数ライン同時選択法によって駆動される液晶表示装置の行電極を駆動する半導体集積回路であって、選択データに応じた電圧値を同時に選択される行電極に印加するロウドライバが形成された液晶表示装置に用いられる行電極駆動用半導体集積回路において、選択パターンを発生する行電極選択パターンを構成する回路を含むことを特徴とする液晶表示装置に用いられる行電極駆動用半導体集積回路。

【請求項7】 複数ライン同時選択法によって駆動される液晶表示装置の列電極を駆動する駆動装置であって、選択された行に印加される電圧パターンを示す選択データと選択された行に対応する表示データとを入力して、液晶出力回路部が選択すべき電圧を指定する情報を作成する演算処理を行う演算回路部をそれぞれが有する複数の列電極駆動用半導体集積回路を備えた駆動装置。

【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、主に液晶表示素子を駆動する駆動装置ならびに列電極駆動用半導体集積回路および行電極駆動用半導体集積回路に関する。

## 【0002】

【従来の技術】 図7は従来の液晶表示装置の概略構成を示すブロック図である。図において、表示を行う液晶パネル20は、スーパーツイステッドネマティック（STN）液晶表示素子等が画素数に応じてマトリックス状に多数配置されたものである。液晶パネル20の周囲には、走査線を駆動する半導体集積回路（大規模集積回路、以下、LSIともいう。）によるロウドライバ（Yドライバ）22および表示データを表示パネル20に出力するLSIによるカラムドライバ（Xドライバ）21が配置される。

【0003】 数多くの走査線および表示データ出力に対処するために、一般的に、図7に示すように、複数のカラムドライバ21およびロウドライバ22が用いられる。カラムドライバ21は、選択線の表示データをラッチするラッチ回路や印加する電圧を選択する選択回路を含む。ロウドライバ22は、選択線を示す信号をシフトするシフトレジスタや走査線に印加する電圧を選択する選択回路を含む。X=640ドット、Y=480ドットの白黒のVGAパネルの場合には、例えば、4個のカラムドライバ21および4個のロウドライバ22が用いられる。その場合、各ロウドライバ22は、480/4=120本の出力27を受け持つ。すなわち、120本の選択信号を出力する。また、各カラムドライバ21は、640/4=160本の出力28を受け持つ。すなわち、各カラムドライバ21は、それぞれ、160本の出力28から液晶パネル20にオンオフ表示に必要な電圧レベルを印加する。

【0004】 コントローラ23は、入力された表示データを一度表示RAM24に書き込むとともに、制御信号線25、26を介してカラムドライバ21およびロウドライバ22に制御信号を与える。ドットマトリックス型の液晶表示装置の場合には、コントローラ23から表示RAM24には、アドレス信号およびリードライト信号が与えられ、表示データがコントローラ23から読み書きされる。表示RAM24が複数個設けられている場合には、コントローラ23から表示RAM24には、チップセレクト信号も与えられる。

【0005】 コントローラ23からカラムドライバ21に与えられる制御信号として、表示データ、表示データを取り込むためのクロック、カラムドライバをアクティブにするためのイネーブル信号、液晶パネル20へのデータ出力を可能とするためのラッチパルス、カラムドライバが液晶パネル20に印加するための液晶表示用電圧、および液晶駆動出力を交流化する交流化信号等が含まれる。コントローラ23からロウドライバ22に与え

られる制御信号として、選択データ（シフトデータ）、選択データをシフトするためのシフトクロック、ロウドライバが液晶パネル20に印加するための液晶表示用電圧、および液晶駆動出力を交流化する交流化信号等が含まれる。

【0006】以上のように、液晶表示装置、特に大型の液晶パネル20を有する液晶表示装置においては、多数の制御信号、多数のドライバ21、22、大きなメモリおよび大規模なコントローラ23が必要とされる。液晶パネル20がカラー表示用のものである場合には、1画面についてR、G、B3ドットが必要とされる。例えば、640×480画素の表示パネルにおいて、640×3×480の液晶表示素子が必要である。よって、取り扱うデータが3倍となつて、カラムドライバ21の規模は白黒の場合の3倍になる。すなわち、液晶表示装置における回路構成はさらに大規模化する。

【0007】上述した液晶表示装置は、走査線が一度に1本選択されるものである。ところが、近年、同時に複数の走査線を選択して駆動する方法が開発されている。その駆動方法には、特開平5-100642号公報に開示されているような全ラインを同時に選択する方法と、特開平6-27907号公報に開示されているような全走査線をいくつかのグループに分け各グループ内のラインを同時に選択する方法とがある。図8はそれらの方法が適用される液晶表示装置における駆動回路の構成を示すブロック図である。

【0008】図において、A-D変換器31R、31G、31Bは、表示されるべきR、G、Bデータをデジタルデータに変換するものである。補正器32は各デジタルデータを、 $\gamma$ 補正等を施した後表示RAM24に格納する。データセクタ34は、表示RAM24から所定のアルゴリズムに従ってデータを読み出し、それらをメモリ35a~35nに格納する。階調制御回路36a~36nはメモリ35a~35nからデータを読み出し、それらについて階調制御を施すものである。演算回路37は、行選択パターンと階調制御回路36a~36nの出力とについて所定の演算を行って液晶パネル20に出力されるべき表示データを作成し、それをカラムドライバ21に供給する。タイミング発生回路40は、A-D変換器31R、31G、31Bおよび行データ発生回路41にタイミング信号を供給するものである。行データ発生回路41は、同時選択パターンをロウドライバ22に供給する。なお、遅延回路42は、ロウドライバ22に供給される同時選択パターンとカラムドライバ21に供給される表示データとの同期をとるために、同時選択パターンを遅延させる。ここで、データセクタ34、演算回路37、タイミング発生回路40、行データ発生回路41および遅延回路42は、図7におけるコントローラ23に対応するものである。補正器32、メモリ35a~35nおよび階調制御回路36a~36n

もコントローラ23に含まれるものと考えてもよい。また、簡単のために、それぞれ1個のカラムドライバ21とロウドライバ22とが図示されている。

【0009】次に液晶パネル20の駆動動作について具体的に説明する。A-D変換器31R、31G、31Bは、出力6ビットのものであるとする。すなわち、A-D変換器31R、31G、31Bは、タイミング発生回路40からのタイミング信号に従って、アナログ信号であるR、G、Bデータを64階調のデジタルデータに変換する。補正器32は、各デジタルデータについて $\gamma$ 補正等の補正処理を行い、必要な所定ビット、例えば3ビット（8階調）へのビット変換を行う。すなわち、6ビットのデータに対して、液晶パネル20における輝度とデータ値との関係が線形になるように補正を施して、3ビットのデータとする。補正後のデータは、表示RAM24に格納される。

【0010】同時選択ライン数を7ラインとする。すると、480ライン中のグループ数は、 $480/7=68.57 \approx 69$ である。メモリ35a~35nは、この場合には、69個設けられる。データセクタ34は、各グループを構成する7ライン×640×3ビットのデータを、各メモリ35a~35nに振り分ける。従って、各メモリ35a~35nには、それぞれ、（同時選択される7ライン）×640×3のデータ、すなわち各（7×640）画素の表示エリアに対応したデータが設定される。R、G、Bの各データは3ビットからなる。つまり、各表示エリアに対して、R、G、Bそれぞれについて（7×640×3）ビットが存在している。階調制御回路36a~36nは、フレーム変調やディザ法による階調制御を実施する。例えば、図9に示すようなフレーム変調を実行しようとする、各メモリ35a~35nには、複数フレームのデータが設定されていなければならない。つまり、各メモリ35a~35nは、（7×640×3）ビットの何倍かの容量を必要とする。階調制御回路36a~36nは、フレーム変調やディザ法によって、R、G、B各3ビットのデータをR、G、B各1ビットのデータに変換する。従って、各表示エリアに対して、R、G、Bそれぞれについて7×640ビットの情報が、階調制御回路36a~36nから順次出力される。

【0011】演算回路37は、例えば、図10に示すように構成され、7ビットの同時選択行選択パターンである選択データが入力される。図10には、選択データとして[0101010]が入力された場合が示されている。演算回路37に、最初に駆動されるグループについて、7×640のデータを7×640のマトリックスと捉えた場合の7行1列のデータ（7ビットのデータ）が入力される。各排他的論理和回路80は、そのデータと選択データとのビット毎の排他的論理和を計算する。そして、4つの全加算器81は、結果の算術和をとる処理

5

を行う。その処理結果は、0～7のいずれかの値である。従って、処理結果は3ビットで表現できる。なお、この処理は、R、G、Bそれぞれについて実行される。そして、R、G、Bそれぞれ3ビットの処理結果は、カラムドライバ21に送られる。次に、演算回路37は、7行2列のデータについて上記処理を行い、処理結果をカラムドライバ21に送る。以後、7行m列(mは640まで)のデータについて順次上記処理が施される。最初に駆動されるグループについて7行640列までの処理が完了すると、演算回路37は、次に駆動されるグループについて上記処理を順次実行する。全てのグループについての処理が完了すると、1フレームの処理が完了したことになる。

【0012】図11はカラムドライバ21の構成例を示すブロック図である。このカラムドライバ21は、1個のLSIで構成されている。図において、データメモリ50は、64列分の表示データを格納するメモリである。シフトレジスタ51は、書き込み用種信号(スタートパルス)をシフトしてデータメモリ50における書き込み先を指定する。ディスプレイラッチ53は、ラッチ信号(LS)が入力されると、データメモリ50の内容をラッチして液晶出力回路58に供給する。コントロール回路52は、データメモリ50、シフトレジスタ51およびディスプレイラッチ53に制御信号を与えるものである。なお、ここでは64列の表示データを扱うカラムドライバ21が示されているので、1行が640画素の液晶パネル20を駆動するには、10個のカラムドライバ21が必要とされる。そして、10個のカラムドライバ21は縦続接続される。つまり、シフトレジスタ51の出力は次段のカラムドライバにおけるシフトレジスタ51に入力され、演算回路37からの表示データは全てのカラムドライバ21におけるデータメモリ50に供給される。

【0013】次に、図11に示すカラムドライバ21の動作について説明する。コントロール回路52は、EO11信号を入力すると、データメモリ50、シフトレジスタ51およびディスプレイラッチ53をアクティブ状態にする。データメモリ50には、1列についてR、G、Bそれぞれ3ビット、計9ビットの表示データが演算回路37から入力される。シフトレジスタ51はスタートパルスをシフトしている。そして、シフトレジスタ51の64段の内容がデータメモリ50に書き込みアドレス54として与えられる。よって、データメモリ50には、順次異なるアドレスに各列の表示データが格納される。コントロール回路52は、データメモリ50に64列分のデータが書き込まれたことを確認すると、次段のカラムドライバ21にEIO2信号を出力する。次段のカラムドライバ21において、前段からのEIO2信号は、EIO1信号として入力される。

【0014】EIO1信号を入力したカラムドライバ2

6

1は、前段のカラムドライバ21と同様に動作して64列分の表示データを取り込む。10個のカラムドライバ21がそれぞれ表示データを取り込んだタイミングで、ラッチ信号が入力される。すると、各カラムドライバ21において、データメモリ50に格納されている表示データがディスプレイラッチ53にラッチされる。従って、640×3ドット分の表示データが10個の液晶出力回路58に与えられる。

【0015】各表示データは3ビットからなっている。また、液晶表示回路58は、デコーダおよびレベルシフト回路を有する。さらに、液晶表示回路58には、8つのレベルの電圧V0～V7が入力されている。液晶表示回路58は、ディスプレイラッチ53からの1ドットあたり3ビットのデータをデコードする。そして、デコード値に応じた電圧を選択し、その電圧を液晶表示素子に印加する。1個の液晶表示回路58からは3(R、G、Bの各ドットに対応)×64(画素数に対応)=192本の出力が液晶表示パネル20に出力されている。従って、液晶表示パネル20には、192×10=1920本の出力が供給される。各出力は、V0～V7のうちのいずれかの電圧値をとる。なお、ここでは、STNカラー液晶パネルにカラムドライバ21を適用する場合について説明したが、TFT(Thin Film Transistor)液晶パネルにこのカラムドライバ21を流用することもできる。また、メモリ50およびシフトレジスタ51をR、G、Bそれぞれのシフトレジスタで置き換える方法もある。

【0016】図12はロウドライバ22の構成の一例を示すブロック図である。このロウドライバ22は、1個のLSIで構成されている。図において、シフトレジスタ70は、データSPDI(選択データ)をシフトクロックDSCKによってシフトするものである。選択パターンレジスタ72は、ロード信号LOADの入力に応じて選択データを取り込む。シフトレジスタ74は、ロード信号LOADをシフトクロックとしてフレームパルスをシフトする。そして、液晶出力回路75は、選択パターンレジスタ72に設定されている選択データを行電極に印加する。

【0017】次に、ロウドライバ22の動作を具体的に説明する。ここでは、特開平6-27907号公報に開示されているような複数ライン同時選択法における図13に示されるような選択パターンを用いる場合について説明する。また、図12に示すロウドライバ22は、84本の出力を有するとする。従って、480本の走査線をもつ液晶表示装置の場合には、480/84≒6個のロウドライバ22が必要とされる。それらは縦続接続される。同時選択行電極数は7であるから、84本の行電極は、84/7=12グループに分割される。

【0018】例えば、図13に点線aで示す2列目の選択データがデータSPDIとしてシフトレジスタ70に

シリアル入力される。シフトレジスタ70は、シフトクロックDSCCKによって選択データをシフトする。7個のシフトクロックDSCCKが入力された後、ロード信号LOADが入力される。すると、選択パターンレジスタ72は、シフトレジスタ70の内容を取り込む。従って、選択パターンレジスタ72には、パラレル信号の選択データが設定される。

【0019】シフトレジスタ74は12段のレジスタである。また、ロウドライバ22が6個のうちの初段のものであるならば、IOL入力として、1フレームの先頭を示すフレームパルスが入力されている。そして、ロード信号LOADをシフトクロックとしてフレームパルスをシフトする。シフトレジスタ74の内容はグループを選択する信号として液晶出力回路75に供給されている。また、液晶出力回路75には、選択時に使用する電圧V+、V-と非選択時に使用される電圧VG(V+とV-との中間の電位)とが供給されている。液晶出力回路75は、入力したシフトレジスタ74の内容をデコードしてどのグループが選択されているか知る。第1のグループが選択されているとすると、液晶出力回路75は、第1のグループに含まれる7本の行電極に対して、選択パターンレジスタ72の内容における対応するビットの値に応じた電圧を供給する。すなわち、液晶出力回路75内のレベルシフト回路は、対応ビットが「1」であるならば、選択電圧V+を印加し、「0」であるならば、選択電圧V-を印加する。選択されていない11グループの各行電極には、非選択電圧VGを印加する。この時点で、カラムドライバ21は、既に説明したような動作によって、選択された行電極に対応した表示データに対応する電圧を各列電極に印加している。

【0020】以後、選択パターンレジスタ72が液晶出力回路75に与える出力が順次変化し、各グループの各行電極に選択電圧が印加される。12グループ全ての選択が完了した時点で、シフトレジスタ74のIOR出力にフレームパルスが押し出され、次段のロウドライバ22のIOL入力にフレームパルスが供給される。従って、次段のロウドライバ22は、上記処理と同様の処理を行って、各グループの各行電極に選択電圧を印加する。

【0021】

【発明が解決しようとする課題】従来の複数ライン同時選択法にもとづく液晶駆動回路は以上のように構成されているので、以下のような問題がある。表示RAM24が必須の構成要素として要求される。入力されるデータの速度と液晶パネル20に出力されるデータの速度との間に差があり、その差を吸収する必要があるからである。また、一般に、入力されるデータは第1走査線データから順次送られてくるのに対して、複数ライン同時選択法では列計算を行わなければならない。つまり、何本かの選択線における同じ列の表示データを同時に扱う必

要がある。従って、やはり、メモリにデータを蓄えておく必要が出てくる。

【0022】また、表示RAM24の他にメモリ35a~35nも必要である。メモリ35a~35nのみを設け表示RAM24をなくすように構成することも考えられるが、そのように構成した場合には、走査線対応に送られてくるデータを並び換えてメモリ35a~35nに書き込むためのアドレス制御が複雑になり、大規模なアドレス制御回路を設けなければならない。表示RAM24およびメモリ35a~35nには、同時にデータの読み書きができる標準市販品のビデオRAM(V-RAM)を用いるのがよい。その場合に、V-RAMの全てのメモリ領域が用いられるわけではない。すなわち、無駄な記憶領域が生じてしまう。

【0023】複数ライン同時選択法における演算回路37には、高速の演算速度が求められる。例えば、1秒間に40フレームを表示しようとする、640×(R,G,B)×480ドットの液晶パネル20を用いて7ライン同時選択を実現する場合には、1ドットあたり、 $1(\text{SEC})/40(\text{枚}) \times (7\text{本}/480\text{本})/640 = 569.66\text{nsec}$

の演算速度が要求される。図13に示す選択パターンを用いた場合には、交流化のために、選択パターンのうちの全ての列(8列)分に対応した演算を行わなければならない。結局、1ドットあたり、 $569.66/8 = 71.2\text{nsec}$

の速度で各列の演算を行わなくてはならない。実際には、走行する車両等の動画を表示する場合に、1秒あたりさらに多数のフレームを液晶パネル20に供給しなければならない。演算回路37には、より高速の演算速度とカラムドライバ21への転送速度が求められる。

【0024】演算速度を上げるには、高い周波数のクロック信号が必要とされる。よって、 $P=IV=fCV \cdot V$ より、消費電力が増加する。また、列電圧計算のために比較的容量の大きいメモリ35a~35nが多数設けられているので、やはり消費電力が増加する。従って、消費電力が大きいということは、小型携帯機器にそのような複数ライン同時選択法を実現する駆動回路を適用することが困難であることを意味する。さらに、上述したように従来の複数ライン同時選択法を実現する駆動回路は、回路規模が大きく、かつ、部品点数も多いということも、小型携帯機器への適用が困難であることにつながる。

【0025】この発明は、そのような問題を解消するためになされたもので、液晶駆動回路全体としてメモリ等の部品の数を減らせるとともに、処理速度の低減等による消費電力の低減を実現する列電極駆動用半導体集積回路および行電極駆動用半導体集積回路を提供することを目的とする。

【0026】

【課題を解決するための手段】請求項 1 記載の発明に係る列電極駆動用半導体集積回路は、複数ライン同時選択法によって駆動される液晶表示装置の列電極を駆動する半導体集積回路であって、表示データを記憶するとともに、同時選択される複数ラインにおける各行のデータ毎にデータ出力を行う制御回路を有するメモリ部と、メモリ部の出力データと選択された行に印加される電圧パターンを示す選択データとを入力して、液晶出力回路部が選択すべき電圧を指定する情報を作成する演算処理を行う演算処理回路を有する演算回路部とが形成されているものである。

【0027】請求項 2 記載の発明に係る列電極駆動用半導体集積回路は、同時選択ライン数が 2~15 のいずれかである複数ライン同時選択法にもとづく液晶表示装置に適用されるものであって、メモリ部の制御回路が、2 行ないし 15 行のデータ毎にデータ出力を行い、演算回路部の演算処理回路が、2 ないし 15 ビットの選択データとメモリ部の出力データとを対象に演算処理を行う構成になっているものである。

【0028】請求項 3 記載の発明に係る列電極駆動用半導体集積回路は、入力されたデータに  $\gamma$  補正を施すか、あるいは、階調表示処理を行って、処理後のデータをメモリ部に書き込む補正部を含む構成になっているものである。

【0029】請求項 4 記載の発明に係る列電極駆動用半導体集積回路は、メモリ部が、1 ドットについて複数ビットを記憶しうる記憶容量を有し、制御回路によって選択信号に応じていずれかビットを出力する構成になっているものである。

【0030】請求項 5 記載の発明に係る列電極駆動用半導体集積回路は、メモリ部の制御回路が一時に複数行複数列のデータを出力する構成であって、演算回路部がメモリ部から一時に読み出される列数分の演算処理回路を有するものである。

【0031】請求項 6 記載の発明に係る行電極駆動用半導体集積回路は、複数ライン同時選択法によって駆動される液晶表示装置の行電極を駆動する半導体集積回路であって、ロウドライバとともに、選択パターンを発生する行電極選択パターンを構成する回路が形成されているものである。

【0032】請求項 7 記載の発明に係る駆動装置は、複数ライン同時選択法によって駆動される液晶表示装置の列電極を駆動する装置であって、選択された行に印加される電圧パターンを示す選択データと選択された行に対応する表示データとを入力して、液晶出力回路部が選択すべき電圧を指定する情報を作成する演算処理を行う演算回路部をそれぞれが有する複数個の列電極駆動用半導体集積回路が設けられて構成されているものである。

【0033】

【作用】請求項 1 記載の発明に係る列電極駆動用半導体

集積回路は、ディジタル化された表示用のデータをそのまま入力することができる。すなわち、集積回路におけるメモリ部には、外部のコントローラの制御によって表示用のデータが書き込まれ、メモリ部内の制御回路は、同時選択される複数のラインにおける各行のデータを、順次にまたは同時に読み出して出力する。集積回路における演算回路部内の演算処理回路は、選択データを導入し、選択データとメモリ部から出力されたデータとのを対象に演算を行い、同時選択される各行に印加される電圧に応じた値を算出する。よって、この集積回路は、表示用のデータを直接入力して、複数ライン同時選択法に従って行電極に印加する電圧値を決定できる。

【0034】請求項 2 記載の発明に係る半導体集積回路は、2 ないし 15 ライン同時選択法が適用される駆動回路における列電極駆動回路を実現する。すなわち、集積回路におけるメモリ部の制御回路は、2 ないし 15 ラインにおける各行のデータを、順次にまたは同時に読み出して出力する。演算回路部は、1 列分について 2 ないし 15 ライン分のデータ演算を行う。

【0035】請求項 3 記載の発明に係る半導体集積回路は、 $\gamma$  補正あるいは階調表示処理を実行する回路部分も取り込み、液晶駆動回路の全体としての回路規模をさらに小型化する。

【0036】請求項 4 記載の発明に係る半導体集積回路は、表示の 1 ドットについて複数ビットのデータを記憶でき、また、出力されるビットとして、複数ビットのうちのいずれかを選択できる。よって、メモリ部における読み出し元を切り換えるだけで簡単にディザ法やフレーム変調等の階調制御を実現できる。

【0037】請求項 5 記載の発明に係る半導体集積回路において、演算回路部は複数の演算処理部を有するので、複数列について同時演算を行うことができる。よって、駆動クロックの周波数を下げることができる。

【0038】請求項 6 記載の発明に係る半導体集積回路は、行電極選択パターンを構成する回路も取り込んでいるので、液晶駆動回路の全体としての回路規模をさらに小型化する。

【0039】請求項 7 記載の発明に係る駆動装置は、列電極を駆動する部分において複数個の演算回路部が設けられた構成になるので、各演算回路部は、比較的低い動作速度で動作することができる。

【0040】

【実施例】

実施例 1. 図 1 はこの発明の第 1 の実施例による複数ライン同時選択法にもとづくカラムドライバ 101 の構成を示すブロック図である。図 1 には、制御信号をカラムドライバ 101 に与えるコントローラ 2 および行データ発生回路 41 も示されている。このカラムドライバ 101 は LSI で実現されている。カラムドライバ 101 は、表示データが書き込まれるメモリ部分 10、液晶表

示パネル20への列データ出力するための信号線11、信号線11と行データ発生回路41からの選択データを人力して所定の演算を行う演算回路部12、信号線15を介して演算回路部12の出力を入力し、それをラッチするラッチ回路部13、および信号線16を介してラッチデータを入力し、ラッチデータに応じた電圧を出力線17に出力する液晶出力回路部14とを含む。出力線17は液晶パネル20の列電極に接続される。なお、ここでも、カラムドライバ101は、640画素のうちの64画素を受け持つとする。そのような場合には、液晶表示装置には、10個のカラムドライバ101~110が設けられる。カラムドライバ101~110は、図8に示す従来の駆動回路と比較すると、表示RAM24、データセクタ34、メモリ35a~35n、演算回路37およびカラムドライバ21の機能を実現するものである。図1には、カラムドライバLSIには含まれないコントローラ2および行データ発生回路41も示されている。行データ発生回路41は、例えば図13に示すパターンを記憶したROM41aと、フレームパルスまたは垂直同期信号をカウントしてカウント値をアドレスとしてROM41aに与えるカウンタ41bとで構成される。

【0041】次に、このカラムドライバ101の動作について説明する。ここでは、1画素あたり、R、G、Bそれぞれ1ビットのデータが入力されるとする。データが線順次に入力される場合には、コントローラ2は、各走査線の第1画素のデータから第64画素のデータが入力されるときに、書き込みアドレス信号とライト信号を制御して、カラムドライバ101のメモリ部分10にデータを書き込む。同様に、第(640-63)画素のデータから第640画素のデータが入力されているときに、書き込みアドレス信号とライト信号を制御して、カラムドライバ110のメモリ部分10にデータを書き込む。このようにして、10個のメモリ部分10全体として、1フレームのデータが書き込まれる。

【0042】メモリ部分10からデータを読み出すときには、コントローラ2は、読み出しアドレス信号とリード信号を制御して、各カラムドライバ101~110におけるメモリ部分10から演算回路部12にデータを出させる。出力されるデータは、そのときに選択される各行(例えば、あらかじめ定められた7行)の64画素分のデータである。すなわち、64×3×7ビットのデータである。

【0043】このような読み出しを実現するために、メモリ部分10において、書き込み側のアドレスデコーダと読み出し側のアドレスデコーダとは別個に形成されている。例えば、読み出し側のアドレスデコーダは、書き込みアドレス信号に応じて順次メモリセルを選択していくとすると、読み出し側のアドレスデコーダは、最初に与えられる読み出しアドレスに応じて、最初に選択され

るグループにおける7行のデータ(各行は64×3ビットのデータからなる。)が設定されているメモリセルを選択する。そして、69番目に与えられる読み出しアドレスに応じて、最後に選択されるグループにおける7行のデータが設定されているメモリセルを選択する。なお、69番目が最後なのは、480/7≒69だからである。また、リード信号は、図12におけるロード信号LOADの発生タイミングに同期している。

【0044】よって、行データ発生回路41から1つの選択データが与えられる毎に、メモリ部分10から64×3×7ビットのデータが一斉に出力される。演算回路部12は、図10に示すように形成されている。ただし、1つの演算回路部12には、図10に示される構成が64×3個形成されている。従って、64画素分の演算が一度に実行される。10個のカラムドライバ101~110における演算回路部12が同時に演算を行うので、結局、7ライン×640画素分の演算が一度に実行される。従来の構成によると、図8における演算回路37は各列毎に7ライン×1画素分の演算を行っていた。

【0045】従来の構成では、表示RAM24およびメモリ35a~35nとして個別記憶素子、具体的にはV-RAMを用いていたので、各メモリ35a~35nには、7ライン×640画素の形式(7行640列)でデータを設定せざるを得ない。できれば本実施例のように同一列の7画素分のデータが直接同時に読み出せるように各メモリ35a~35nにデータを設定したいのであるが、市販品のV-RAMを用いる限り容易にはそのように設定できない。設定しようとする、上述したように大規模なアドレス制御回路を用意しなければならない。また、そのように、メモリ35a~35nからデータを読み出す部分が(図8に示した例では階調制御回路36a~36nが)、同一列の7画素分のデータを直接同時に読み出したとしても、640列分のデータを順次に読み出さなければならないので、演算回路37の動作は順次処理とならざるを得なかった。

【0046】しかし、LSIにおけるメモリ部分10の読み出しアドレスデコーダを、同一列の7画素分のデータを直接読み出せるようにかつ64列分のデータを読み出せるように構成できるので、本実施例における演算回路部12は、64列の各7画素分のデータを扱うことができる。この場合には、カラムドライバ10個の演算回路部12が存在するので、各演算回路部12に求められる演算速度は、従来の演算回路37の演算速度の1/640でよい。従って、演算回路部12を駆動するクロックの周波数は低くてよく、演算回路部12の消費電力は低減される。

【0047】図2はメモリ部分10のメモリアレイにおけるメモリセルの一例であるRAMセルを示す回路図である。図において、インバータ部分90、91が記憶素子を実現する。記憶素子にデータを書き込むときには、

13

データ信号に書き込むデータが印加されるとともにワード線がアクティブにされる。データ信号に印加されたデータはインバータ96を介してデータ線Dに供給され、さらにインバータ95を介してデータ線D-に供給される。記憶素子には、ゲートがワード線に接続されるとともにドレインがデータ線D、D-に接続されたトランジスタ92、93が接続される。よって、書き込み時には、トランジスタ92、93が導通して記憶素子へのデータ書き込みがなされる。読み出し時には、セレクト信号がアクティブになってドライバ94が導通状態となる。よって、記憶素子内のデータが出力線に出力される。つまり、データ線D、D-とは異なるポートにデータが出力される。よって、一般のRAMセルからの読み出し時に必要であるデータ線のプリチャージが必要でなくなり、任意の時点でデータを読み出すことができる。図3はメモリ部の一構成例を示すブロック図である。図において、メモリセルアレイ10dは、 $64 \times 3 \times 7$ セルのメモリセル10<sub>11</sub>~10<sub>1192</sub>...10<sub>71</sub>~10<sub>7192</sub>からなっている。メモリセルへのデータ書き込み時には、アドレス入力に応じて行デコード10eが選択した行の各メモリセルのうち、アドレス入力に応じて列デコード10fが選択したメモリセルに、R、G、Bいずれかのデータが書き込まれる。なお、NAND回路10gおよびインバータ10hは、図2におけるインバータ96、95に対応する。メモリセルからのデータ読み出し時には、読み出しアドレス入力に応じて制御回路10cは、セレクト信号を出力する。セレクト信号は、セレクト信号に応じて[10<sub>11</sub>, 10<sub>21</sub>, ..., 10<sub>71</sub>]の7セル、..., [10<sub>1192</sub>, 10<sub>2192</sub>, ..., 10<sub>7192</sub>]の7セルが、それぞれ、まとめてデータを出力するように結線される。

【0048】LSIにおけるラッチ回路部13は、コントローラ2からラッチ信号LSの供給を受けると、演算回路部12が出力している $64 \times (R, G, B)$ ビットの表示データをラッチする構成になっている。すなわち、従来のディスプレイラッチ53と同様の処理によって表示データをラッチする。また、液晶出力回路部14は、 $64 \times (R, G, B)$ 本の出力を有し、電圧V0~V7の8電圧レベルが入力されている。そして、ラッチ回路部13の各出力値に応じ電圧レベルを選択して各出力線に出力する。すなわち、従来の液晶出力回路58と同様の処理を行う。具体的には、図1に示すように、各3ビットのデータをデコードするデコード回路14a、デコード値の論理回路電圧レベル(0, V<sub>DD</sub>)を液晶駆動電源電圧(0, V<sub>EE</sub>)に変換するレベルシフト回路14b、電圧V0~V7を入力し、レベルシフト回路14bの出力をゲート信号としてV0~V7のいずれかを選択して出力する電位選択出力回路14cとを有する。

【0049】なお、この実施例では、各演算回路部12において図10に示される構成が192個形成されてい

14

る場合について説明したが、比較的高い周波数の駆動用クロックが許容できるなら、1個だけ設けて順次に演算を実行する構成をとってもよい。また、メモリ部10と演算回路部12との間に、図11に示したデータメモリ50またはラッチ回路部を形成し、メモリ部10のデータを一旦それに取り込んだ後、演算回路部12に供給するようにしてもよい。

【0050】実施例2. 上記実施例によるLSIには、輝度とデータ値との関係が線形になるような補正および階調制御のための構成が含まれていなかった。それらを実現するには、例えば、図4に示すような補正部18を含むカラムドライバ111~120とすればよい。補正部18には、例えば、図8におけるA-D変換器31R、31G、31Bから1画素あたりR、G、B各6ビットからなるデータが入力される。そして、 $\gamma$ 補正を施してR、G、B各3ビットからなるデータに変換する。 $\gamma$ 補正はデータ変換であるからそれを実行する部分をLSI化するの容易である。例えば、データテーブルであるROM部分と入力データにもとづいてその中のデータを読み出す部分とで実現できる。さらに、補正部18は、R、G、B各3ビット(各8階調)をディザ法によって各1ビットのデータに変換する。この変換も、例えば、データテーブルであるROM部分と比較器等とで容易に実現できる。なお、 $\gamma$ 補正とディザ法等による階調制御とのうちの一方の機能を補正部18として取り込んでもよい。

【0051】1画素あたりR、G、B各1ビット、計3ビットのデータは、第1の実施例の場合と同様にメモリ部10に書き込まれる。以後、カラムドライバ111~120は、第1の実施例によるカラムドライバ101~110と同様に動作する。

【0052】実施例3. 図5はこの発明の第3の実施例によるカラムドライバに適用される演算回路部12の構成を示す回路図である。カラムドライバの全体の構成は図1または図4に示す構成と同じである。また、この場合の演算回路部12は、1つのカラムドライバが担当する列数、例えば $64 \times 3 (R, G, B) = 192$ 個形成されたものである。なお、図5に示す回路が1個形成されたものでもよい。

【0053】この構成は、同時選択ライン数が2の場合の例である。従って、演算回路部12が192個の図5に示す回路を有する場合には、メモリ部10から演算回路部12に至る配線11の数は $2 \times 192$ でよい。また、液晶出力部に与えられる選択用の電圧はV0、V1、V2の3レベルである。演算回路部12において、各排他的論理和回路80は、メモリ部10からの2行分のデータと選択データとの排他的論理和をとる。そして、全加算器81は、2つの排他的論理和回路80の和を出力する。全加算器81の出力は、「0」、「1」または「2」である。以後、ラッチ回路部13は、第1の

実施例または第2の実施例の場合と同様に動作し、液晶出力回路部14は、ラッチ回路部13の出力に応じて、192本の各出力にV0、V1またはV2の電圧を印加する。

【0054】また、この場合には、液晶回路出力部14が液晶パネル20に対して出力する電圧の最大値を5V以下にできる。カラムドライバの最大出力電圧幅 (peak to peak) をVC、ロウドライバの最大出力電圧幅をVR、液晶のしきい値電圧をT、液晶パネル20の走査線本数をN、同時選択ライン数をLとすると、

$$VR = T \left( (2 \times N / L) / (1 - N^{-1/2}) \right)^{1/2}$$

$$VC = R \times L \times N^{1/2}$$

である。よって、L=2、T=2V、N=480本の場合には、VR=44.85V、VC=4.09Vである。また、L=3、T=2V、N=480本の場合には、VR=36.62V、VC=5.01Vとなり、この場合にも、ほぼ最大値を5V程度にできる。なお、L=15、T=2V、N=480本の場合には、VR=16.39V、VC=11.21Vとなる。

【0055】以上のことから、L=2または3とすると、カラムドライバが扱う電圧値を高々5V程度とすることができる。よって、カラムドライバをLSIで実現する場合に、一般的に用いられている5Vプロセスでこのカラムドライバを作製できる。従って、より高い電圧を扱うカラムドライバに比べて、レジスト、露光、エッチング等の工程数を減らすことができる。特に、5Vプロセスで作製できることから、メモリ部10を一般的なD-RAM作製プロセスと同様のプロセスで作製できる。従って、製造コストの低減とメモリ部10のサイズの小型化が実現される。また、L=2または3とした場合には、液晶出力回路部14が扱う電圧レベル数は3または4と減るので、液晶出力回路部14のサイズも小型化される。よって、LSIサイズが小型化される。

【0056】なお、同時選択ライン数を増やしていけば表示コントラスト比が改善されるが、改善度は、全走査線を480本の半分240本程度としたとき、L=15程度で飽和することが知られている。よって、Lの値は、2から15の値の中から、要求される液晶パネル20の表示性能およびLSIに許容されるサイズや電源電圧の制約等を勘案して選択される。

【0057】実施例4。図6はこの発明の第4の実施例によるカラムドライバの構成を示すブロック図である。このカラムドライバ121もLSIで実現される。第2の実施例では階調制御としてディザ法を用いるものを示したが、このカラムドライバ121は、フレーム変調による階調制御を実現するものである。

【0058】図において、補正部19は、γ補正を実行するとともに、補正結果を2値化して出力するものである。また、このカラムドライバ121には、2つのメモリ部10a、10bが形成されている。メモリ部10

a、10bの構成は、図1に示すメモリ部10の構成と同じでよい。また、メモリ部10a、10bには、同一のアドレスおよび同一のリードライト信号が供給される。補正部19からのあるフレームのデータがメモリ部10aに書き込まれたとすると、次のフレームのデータは、メモリ部10bに書き込まれる。さらに次のフレームのデータは、メモリ部10aに書き込まれる。この書き込みの制御は、コントローラ2によって実行される。図6には示されていないが、例えば、コントローラ2がメモリーネーブル信号を供給できるように配線を用意しておき、コントローラ2が書き込み先の方のメモリ部のみをイネーブルとすればよい。

【0059】図9に示したように、あるドットについて、1フレーム目をオンにして2フレーム目をオフにすれば、液晶パネル20の看者には中間濃度ドットとして提示できる。従って、2フレーム分のデータを有するメモリ部10a、10bを用意しておけば、コントローラ2の制御によって中間濃度ドットを提示するフレーム変調が実現可能になる。つまり、コントローラ2は、メモリ部10a、10bからデータを出力させる際に、第1の実施例におけるアドレス信号供給制御およびリード信号制御を実施する。その上で、選択信号SELECTを制御してデータの読み出し先を変更する。例えば、メモリ部10aに設定されているフレームのデータを読み出しているときに、メモリ部10b内のデータが必要になったタイミングで、選択信号SELECTの極性を変える。選択信号SELECTは、メモリ部10a、10bにおける読み出し側のアドレスデコードをイネーブルにする信号に相当している。従って、選択信号SELECTの極性が切り替わっている時点では、メモリ部10b内のデータが演算回路部12に供給される。その後の動作は第1の実施例の場合と同様である。しかし、この場合には、階調制御された後の表示データが演算回路部12に供給されることが可能になっている。

【0060】なお、本実施例では、2つのメモリ部10a、10bを設けた場合について説明したが、3つ以上のメモリ部を設けてもよい。また、本実施例では、1ドットが1ビットで表現されている異なるフレームの表示データをメモリ部10a、10bに設定する場合について説明したが、1ドットが複数ビットで表現されている、すなわち階調表現されている1フレームの表示データをメモリ部10a、10bに設定してもよい。この場合には、補正部19は、γ補正のみを実行し2値化処理を行う部分がスキップされる。そのような場合でも、コントローラ2の指示に応じていずれかのメモリ部からデータを読み出すようにして中間調に応じた1ビットのデータを演算回路部12に供給することができる。いずれにせよ、複数のメモリ部10a、10bを設け、ある画面について出力元のメモリ部を選択可能に構成しておけば、外部のコントローラ2の指示に応じて種々の方法に

による階調制御を実現できる。

【0061】実施例5. 上記各実施例によるカラムドライバは、図8に示された補正器32、データセクタ34、階調制御回路36a~36nおよび演算回路37のような従来ゲートアレイで実現されていた部分や、表示RAM24およびメモリ35a~35nのような従来V-RAMで実現されていた部分の機能を取り込んでい10 る。よって、液晶駆動回路に求められるその他の要素は、図1、図4、図6に示されたコントローラ2、行電極パターン発生回路、ロウドライバ22等である。これらは液晶駆動回路全体からみると、比較的小さな要素である。従って、それらのうちの大部分を1個のLSIに集約可能である。

【0062】例えば、従来のロウドライバ22を構成する回路と、コントローラ2を構成する回路もしくは行データ発生回路41を構成する回路とを含むものを、1個のLSIに形成する。あるいは、ロウドライバ22を構成する回路と、コントローラ2を構成する回路および行データ発生回路41を構成する回路とを含めたものを、1個のLSIに形成する。そのようなLSIを行電極駆15 動用に用い、上記各実施例によるカラムドライバを列電極駆動用に用いれば、駆動回路の回路規模は、従来の規模に比べて大きく減少する。なお、一般には、ロウドライバ22を含むLSIは複数個用いられるので、1つの液晶表示装置において、複数のコントローラ2や行データ発生回路41が存在することになる。しかし、そのうちの1つを有効にしておけばよい。そして、その場合でも、コントローラ2や行データ発生回路41を、ロウドライバ22を含むLSIの内部に形成しない場合に比べて、駆動回路の全体のチップ数が減少するという効果が20 ある。

#### 【0063】

【発明の効果】以上のように、請求項1記載の発明によれば、列電極駆動用半導体集積回路が、表示データを記憶するとともに同時選択される複数ラインにおける各行のデータ毎にデータ出力を行う制御回路を有するメモリ部と、メモリ部の出力データと選択データとを人力して、液晶出力回路部が選択すべき電圧を指定する情報を作成する演算処理を行う演算処理回路を有する演算回路部とが形成されたものとなっているので、従来液晶駆動回路に個別部品として備わっていたV-RAM等のメモリをなくすることができる。従って、この集積回路を用い25 れば、駆動回路を全体として小型化できる。また、駆動回路全体の消費電力を低減できる。その結果、小型形態端末への適用が容易になる駆動回路を構築することができる。

【0064】請求項2記載の発明によれば、列電極駆動用半導体集積回路が、2行ないし15行のデータ毎にデータ出力を行うメモリ部、および2ないし15ビットの選択データとメモリ部の出力データとを対象に演算処理30

を行う演算回路部を有する構成になっているので、採用される可能性の高い同時選択ライン数2~15の複数ライン同時選択法に合致したものを得ることができる。特に、同時選択ラインが2行または3行の場合には、5V電源のみで使用できる集積回路とすることができる。その場合には、メモリ部の形成を、一般的なD-RAM形成と同様に実施できる。

【0065】請求項3記載の発明によれば、列電極駆動用半導体集積回路が、さらに、入力されたデータに $\gamma$ 補正を施す。または、さらに階調表示処理を行う補正部を含む構成になっているので、この集積回路を用いることによって、駆動回路を全体としてさらに小型化できる。

【0066】請求項4記載の発明によれば、列電極駆動用半導体集積回路が、1ドットについて複数ビットを記憶しうる記憶容量を有し選択信号に応じていずれかビットを出力するメモリ部を有する構成になっているので、この集積回路を用いることによって、回路をさほど増加させることなく階調制御を実現しうる液晶駆動回路を得ることができる。

【0067】請求項5記載の発明によれば、列電極駆動用半導体集積回路が、メモリ部の制御回路が一時に複数行複数列のデータを出力し、演算回路部がメモリ部から一時に読み出される列数分の演算処理回路を有する構成になっているので、複数列の同時演算を行うことができる。すなわち、駆動クロックの周波数を高くする必要がないので、消費電流が増加しない集積回路を提供できる。

【0068】請求項6記載の発明によれば、行電極駆動用半導体集積回路が、さらに、選択パターンを発生する行電極選択パターンを構成する回路が形成されている構成になっているので、液晶駆動回路の全体としての回路規模をさらに小型化する。

【0069】請求項7記載の発明によれば、液晶表示装置における駆動装置が、列電極を駆動する部分において複数個の演算回路部が設けられた構成になっているので、各演算回路部に求められる動作速度は低くてよく、結局、列電極駆動部分の動作クロックの周波数を低くできる効果がある。

#### 【図面の簡単な説明】

【図1】 この発明の第1の実施例による複数ライン同時選択法にもとづく列電極駆動用半導体集積回路の構成を示すブロック図である。

【図2】 メモリセルの一例であるRAMセルを示す回路図である。

【図3】 メモリ部の構成を示すブロック図である。

【図4】 この発明の第2の実施例による複数ライン同時選択法にもとづく列電極駆動用半導体集積回路の構成を示すブロック図である。

【図5】 この発明の第3の実施例による列電極駆動用半導体集積回路に適用される演算回路部の構成を示す回35

路図である。

【図6】 この発明の第4の実施例による複数ライン同時選択法にもとづく列電極駆動用半導体集積回路の構成を示すブロック図である。

【図7】 従来の液晶表示装置の概略構成を示すブロック図である。

【図8】 従来の液晶表示装置における駆動回路の構成を示すブロック図である。

【図9】 フレーム変調を説明するための説明図である。

【図10】 演算回路の一構成例を示すブロック図である。

【図11】 従来のカラムドライバの構成例を示すブ

ック図である。

【図12】 従来のロウドライバの構成例を示すブロック図である。

【図13】 7行8列の行選択パターンの一例を示す説明図である。

【符号の説明】

101~110, 111~120, 121~130 カラムドライバ

10 メモリ部

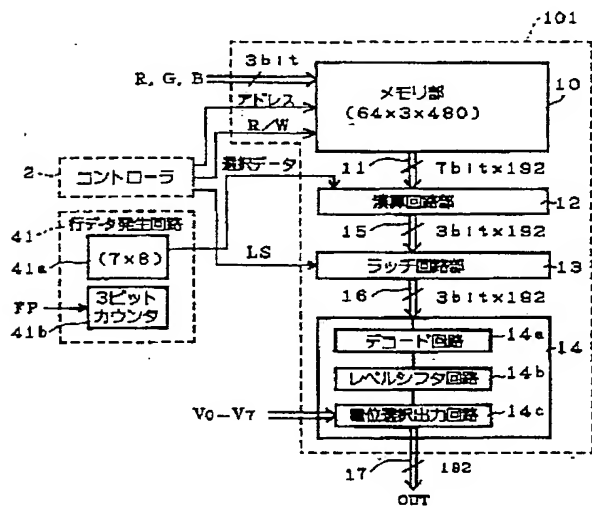
12 演算回路部

13 ラッチ回路部

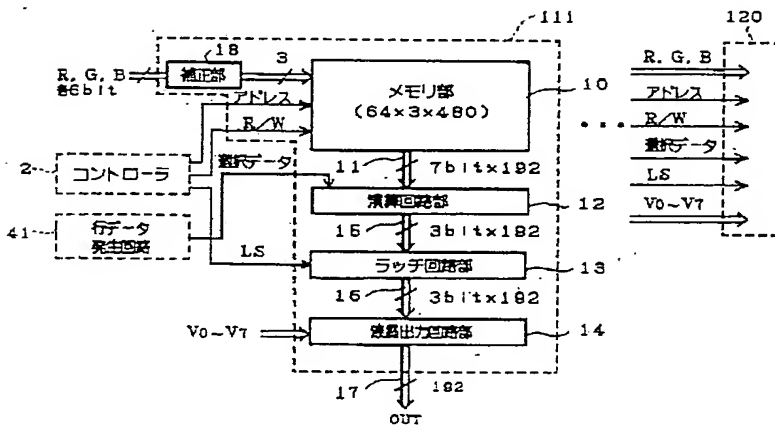
14 液晶出力回路部

18、19 補正部

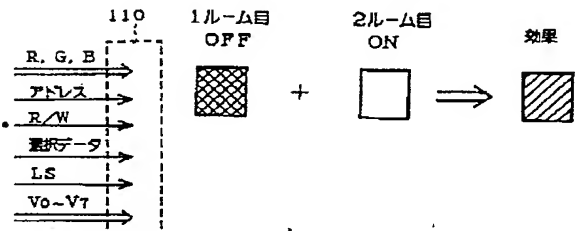
【図1】



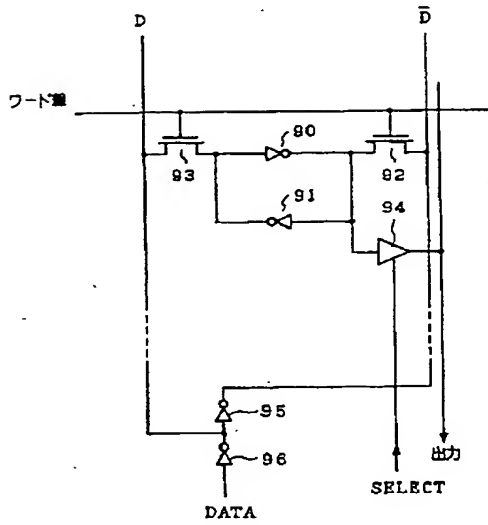
【図4】



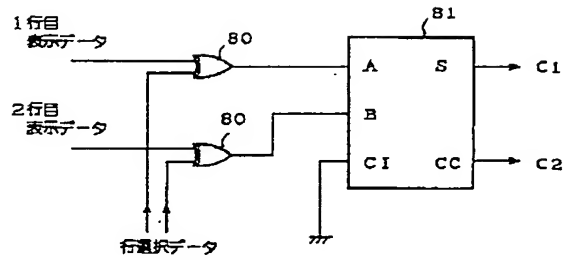
【図9】



【図2】



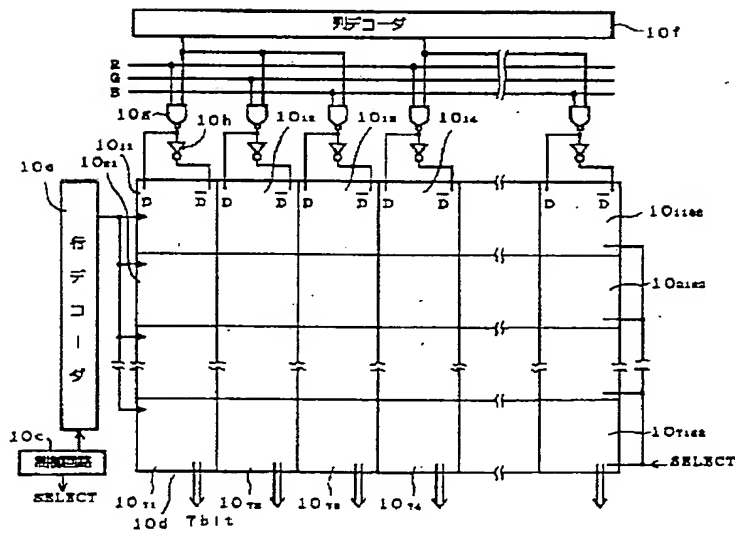
【図5】



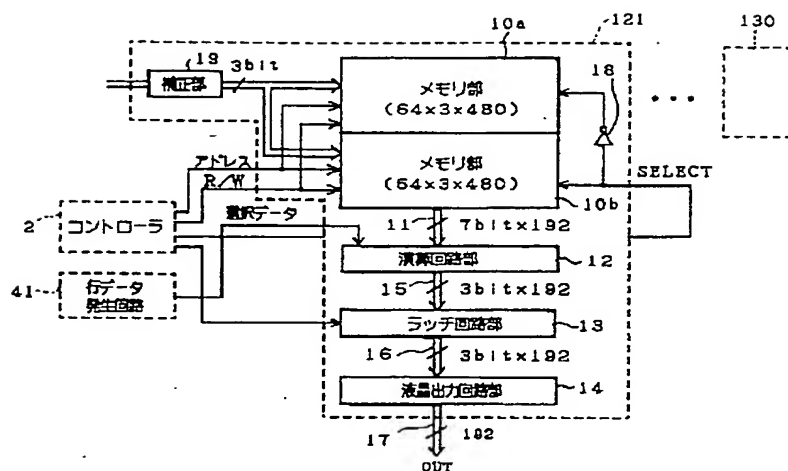
【図13】

1	0	1	0	1	0	1	0
1	1	0	0	1	1	0	0
1	0	0	1	1	0	0	1
1	1	1	1	0	0	0	0
1	0	1	0	0	1	0	1
1	1	0	0	0	0	1	1
1	0	0	1	0	1	1	0

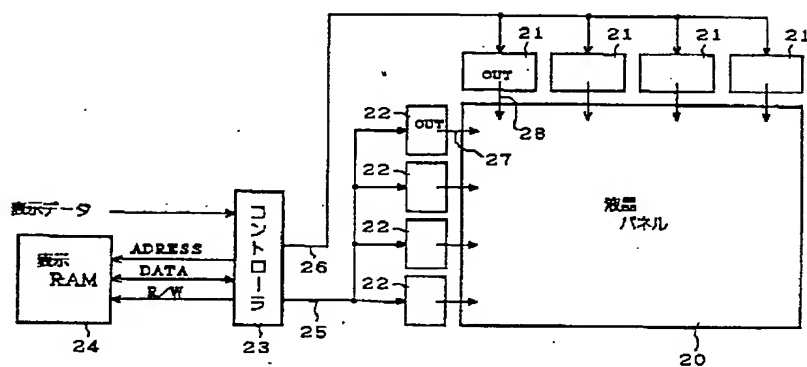
【図3】



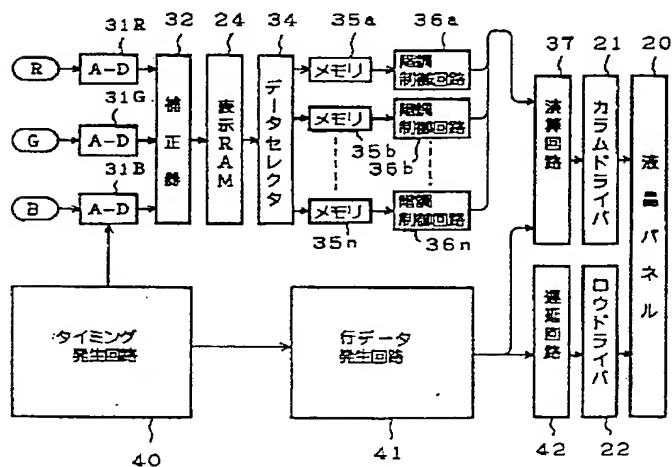
【图 6】



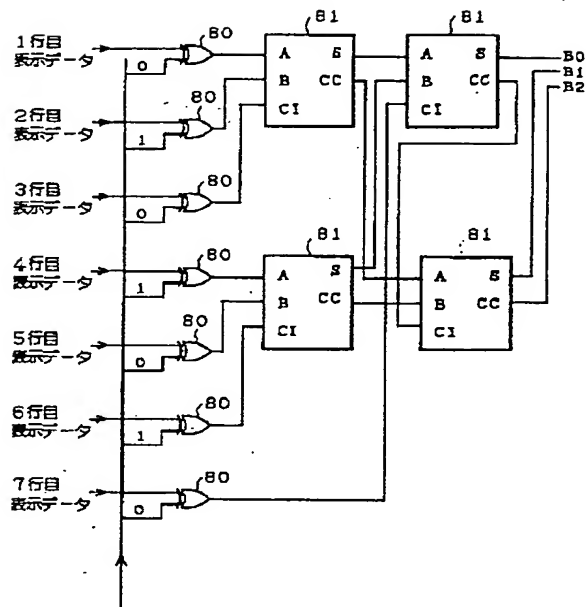
【图7】



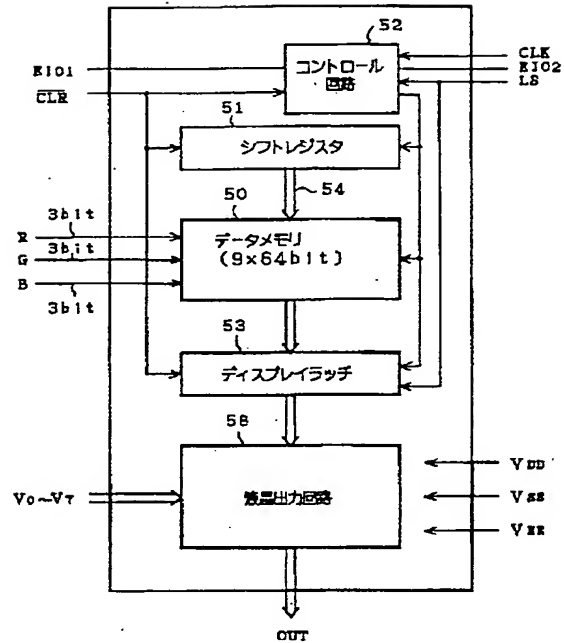
【图8】



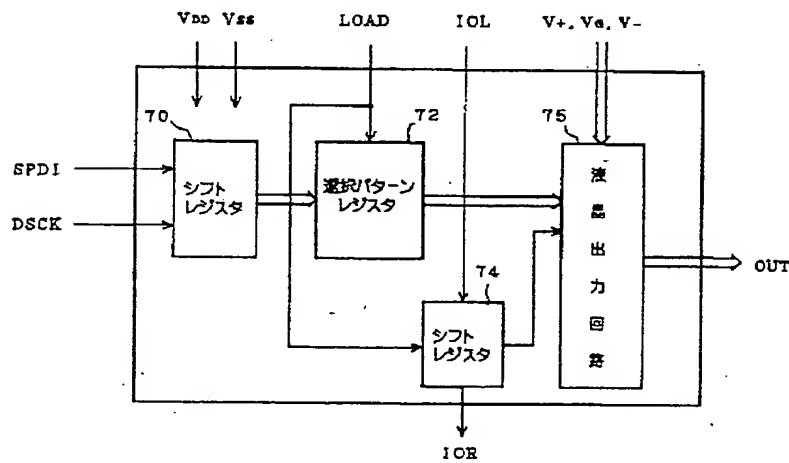
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 中沢 聡

神奈川県横浜市神奈川区羽沢町1150番地  
旭硝子株式会社中央研究所内